Architecture des Circuits
Cahier d'Exercices — TD1 & TD2

Table des matières

Chapitre 1

TD1 : Représentation des nombres et arithmétique entière

1 Entiers représentables, ordres de grandeur et conversions

<u>QUESTION 1</u> ▶ Quels sont les plus grands nombres codables en base 2 sur les tailles suivantes. On demande une valeur exprimée en décimal.

1 bit (valeur exacte)
4 bits (valeur exacte)
8 bits (valeur exacte)
1 byte (valeur exacte)
2 bytes (valeur exacte)
4 bytes (valeur approchée)
8 bytes (valeur approchée)

<u>QUESTION 2</u> ▶ Pour chacune des paires de valeurs ci-dessous, laquelle est la plus grande ?

10^{33} et 2^{80}
10^{10} et 2^{35}

<u>QUESTION 3</u> ▶ En utilisant la technique décrite en cours, convertissez $(11011)_2$.

<u>QUESTION 4</u> ▶ Utilisez la méthode à base de divisions euclidiennes décrite en cours pour convertir $n = (414)_{10}$ en binaire.

<u>QUESTION 5</u> ▶ Entre les bases 2 et 16, une méthode plus directe peut être utilisée : par exemple, tout chiffre hexadécimal est représenté par un entier sur quatre bits, et tout entier sur quatre bits est représenté par un chiffre hexadécimal. Justifiez cette méthode de conversion entre les bases 2 et 16 puis convertissez $(34521)_{16}$ en base 2.

2 Nombres entiers relatifs, codage en complément à 2

<u>QUESTION 6</u> ▶ Écrire la table des correspondances binaire↔décimal pour tous les nombres entiers signés codés sur trois bits en complément à deux.

<u>QUESTION 7</u> ▶ Comment pouvez-vous savoir si l'entier, codé en complément-à-deux sur 16 bits,

1010 1110 1010 1111

est positif ou négatif ? Quelle est sa valeur ? Donnez le code binaire de son opposé.

<u>QUESTION 8</u> ▶ Donner la représentation binaire, en complément à 2 sur huit bits, des nombres suivants (tous négatifs) :

-11_{10}, -22_{10}, -44_{10}, -47_{10}, -125_{10}

<u>QUESTION 9</u> ▶ Convertir en base 10 les nombres suivants codés en complément à deux :

11111111	10011111
01001111	111...111110

3 Operations en complément à deux

3.1 Addition et calcul de l'opposé

QUESTION 10 ▶ Dans un premier temps, nous allons supposer que les entiers ci-dessous sont des entiers naturels (donc non signé). Posez, sur 8 bits, les additions suivantes.

$$(10001010)_2 + (00001011)_2$$
$$(10001010)_2 + (10001011)_2$$
$$(01001010)_2 + (11001010)_2.$$

- Parmi ces additions, laquelle/lesquelles propage(nt) une retenue à gauche ?
- Pour chaque addition, comparez les ordres de grandeur des opérandes et du résultat.
- Comparez les réponses aux deux questions précédentes ; que pouvez-vous en déduire ?

QUESTION 11 ▶ Nous considérons maintenant des entiers relatifs codés en complément à deux. Posez, en complément à deux sur 8 bits, les additions suivantes.

$$(10001010)_{\overline{2}} + (00001011)_{\overline{2}}$$
$$(10001010)_{\overline{2}} + (10001011)_{\overline{2}}$$
$$(01001010)_{\overline{2}} + (11001010)_{\overline{2}}$$

- Parmi ces additions, laquelle/lesquelles propage(nt) une retenue à gauche ?
- Pour chacune de ces additions, quel est le signe des opérandes ? Quel est le signe du résultat ? En comparant ces trois signes, que pouvez-vous déduire sur ces additions ?
- Comparez les réponses aux deux questions précédentes ; que pouvez-vous en déduire ?

QUESTION 12 ▶ Calculez l'opposé de $(10001010)_{\overline{2}}$ en complément à 2 sur 8 bits, et vérifiez que votre résultat est correct.

QUESTION 13 ▶ En complément à 2 sur p bits, quel est le seul cas produisant un dépassement de capacité pour le calcul de l'opposé ?

QUESTION 14 ▶ En utilisant le complément à 2, calculez en binaire la soustraction $1101_2 - 0110_2$ Interprétez 1101_2, 0110_2 et votre résultat comme des entiers naturels, et vérifiez votre calcul.

Reposez l'opération mais en considérant que les opérandes (et le résultat) sont des entiers relatifs ($1101_{\overline{2}} - 0110_{\overline{2}}$), que pouvez vous dire ?

3.2 Extension de signe en complément à 2

QUESTION 15 ▶ Comment sont représentés $(34)_{10}$ et $(-42)_{10}$ en complément à 2 sur 8 bits (complément à 2^8) ?

QUESTION 16 ▶ Comment sont représentés $(34)_{10}$ et $(-42)_{10}$ en complément à 2 sur 12 bits (complément à 2^{12}) ?

3.3 Multiplication

QUESTION 17 ▶ Effectuer – en binaire – les opérations suivantes :

$11111111_2 \times 1_2$
$11111111_2 \times 10_2$
$11111111_2 \times 100_2$
$11010011_2 \times 1001_2$
$11010011_2 \times 110101_2$ (facultatif)
$11111111_2 \times 11111111_2$ (facultatif)

Comparez la taille du résultat par rapport à la taille des opérandes. Quelle règle générale peut-on en déduire ?

QUESTION 18 ▶ Donner la représentation en hexadécimal de quelques nombres utilisés dans les exercices précédents. Comment procédez-vous et pourquoi ? Quel est l'intérêt du codage hexadécimal ?

Chapitre 2

TD2 : Calcul booléen

Dans ce TD, on s'intéresse tout d'abord au calcul booléen dans l'exercice 1, puis dans les exercices suivants à l'équivalence expression booléenne ↔ table de vérité ↔ circuit combinatoire. Le dernier exercice détaille notamment la construction d'un multiplexeur et d'un démultiplexeur.

1 Calcul booléen

<u>QUESTION 1</u> ► En reprenant les propriétés remarquables de l'algèbre de Boole (cours #2, transparent 6), écrivez les règles deux règles de distributivité. Convainquez-vous de deux choses :

- La distributivité de l'algèbre de Boole est *différente* de la distributivité en arithmétique (pourquoi ?)
- Si vous oubliez (ou déplacez) les parenthèses au cours de cette opération, le résultat sera potentiellement très différent (et donc faux).

<u>QUESTION 2</u> ► Rappeler la règle de De Morgan sous ses deux formes.

<u>QUESTION 3</u> ► Prouver les équivalences suivantes :

$$(1)\quad a.b + \overline{a}.b = b \qquad\qquad (2)\quad a + a.b = a$$

$$(3)\quad a + \overline{a}.b = a + b \qquad\qquad (4)\quad a.b + \overline{a}.c = a.b + \overline{a}.c + b.c$$

<u>QUESTION 4</u> ► Simplifier les expressions suivantes, notamment grâce au théorème de De Morgan :

$$\begin{aligned}
s_1 &= \overline{\overline{(x+y)}(x+z)(y+z)} \\
s_2 &= \overline{\overline{x.y} + yz} + \overline{(x+z)\overline{(y+\overline{x}z)}} \\
s_3 &= \overline{y(\overline{x}+z) + \overline{x(\overline{y}+z)}} + \overline{(y+z)}(xy + \overline{x(\overline{y}+\overline{z})}\,)
\end{aligned}$$

2 Expression algébrique

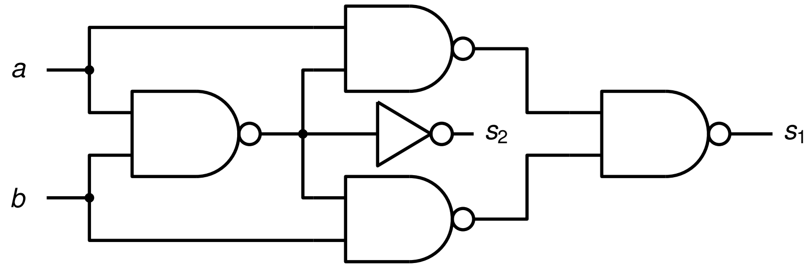
<u>QUESTION 5</u> ► Donner une expression booléenne de la fonction $f(x, y, z)$ qui vaut 1 si et seulement si la majorité de ses trois arguments vaut 1.

<u>QUESTION 6</u> ► Donner (sans chercher à la simplifier) une expression booléenne de la fonction $g(a, b, c)$ définie par la table de vérité suivante :

a	b	c	s
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

3 Circuits logiques

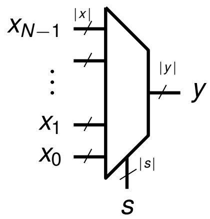
QUESTION 7 ► Donner une expression algébrique des sorties s_1 et s_2. Établir la table de vérité. La fonction calculée par ce circuit vous est-elle familière ?



QUESTION 8 ► Dessiner un circuit logique pour chacune des fonctions f et g de l'exercice précédent en utilisant uniquement des portes logiques (et, ou, non, xor, nand, nor)

4 Multiplexeur et démultiplexeur

On rappelle ci-dessous le symbole générique d'un multiplexeur à N entrées.



Intuitivement parlant, ce composant «recopie» l'une de ses entrées, x_i, sur sa sortie y. On choisit la valeur de i en positionnant l'*entrée de sélection* (notée s sur le symbole). Ainsi, si cette entrée de sélection est codée sur $|s|$ bits, elle permet de sélectionner parmi $N = 2^{|s|}$ entrées différentes. Par ailleurs, un multiplexeur peut être conçu pour travailler avec des données composées de plusieurs bits ; dans ce cas-là, la largeur $|y|$ de la sortie sera la même que la largeur $|x|$ des entrées.

QUESTION 9 ► Écrire la table de vérité complète d'un multiplexeur à 2 entrées de 1 bit chacune (on parle aussi de «multiplexeur 2-vers-1 à 1 bit»).

QUESTION 10 ► Donner une expression booléenne de la fonction réalisée par ce multiplexeur, et dessiner le circuit logique correspondant.

QUESTION 11 ► On s'intéresse maintenant à un multiplexeur à 4 entrées de 1 bits (on parle aussi de «multiplexeur 4-vers-1 à 1 bits»). Proposer une implémentation de ce circuit à l'aide de quelques instances du multiplexeur 2 vers 1 construit dans la question précédente. Dessiner le circuit logique correspondant.

QUESTION 12 ► Dessiner un circuit logique équivalent à un démultiplexeur 1-vers-4 à 1 bit.