

NOM, Prénom :

DS Architecture des Circuits

29 novembre 2018

Durée 1h30.

Répondez sur le sujet.

REPLISSEZ VOTRE NOM TOUT DE SUITE.

Tous documents autorisés, mais en papier seulement.

Crayon à papier accepté, de préférences aux ratures et surcharges. Vingt questions, un point par question quelle que soit la difficulté de la question. Pas de points négatifs. Les cadres donnent une idée de la taille des réponses attendues.

1 Exercices (14 points)

1.1 Codage et calcul Booléen

Q1. Convertissez $A_2 = 1111.0110.1110.0100$ en décimal et en hexadécimal (en supposant A_2 codé en complément à deux sur 16 bits) :

— $A_{10} =$

— $A_{16} =$

Q2. Sachant que les nombres suivants sont codés en complément à deux, sur 8 bits, calculez le résultat des quatre additions suivantes :

(1) $0x23 + 0x13 = 0x$

(2) $0x65 + 0x70 = 0x$

(3) $0xFA + 0x12 = 0x$

(4) $0xDC + 0xAA = 0x$

Parmi ces quatre opérations, laquelle/lesquelles provoque(nt) la propagation d'une retenue à gauche? Laquelle/lesquelles provoque(nt) un dépassement de capacité ?

— Retenue (Carry) :

— Dépassement (oVerflow) :

Q3. Laquelle/lesquelles de ces égalités Booléennes est/sont vraie(s) :

Vrai Faux

$ab + abc + abcd + abcde + abcdef = abcdef$

$ab + abc + abcd + abcde + abcdef = ab$

$ab + abc + abcd + abcde + abcdef = ab + cdef$

$ab + abc + abcd + abcde + abcdef = ab + cd + ef$

$ab + abc + abcd + abcde + abcdef = a + b + c + d + e + f$

$ab + abc + abcd + abcde + abcdef = a + b(c + d(e + f))$

Q4. Laquelle/lesquelles de ces égalités Booléennes est/sont vraie(s) :

- | Vrai | Faux | |
|--------------------------|--------------------------|--|
| <input type="checkbox"/> | <input type="checkbox"/> | $(\overline{a+b})(\overline{c+d+e}) + (\overline{a+b}) = a+b$ |
| <input type="checkbox"/> | <input type="checkbox"/> | $(\overline{a+b})(\overline{c+d+e}) + (\overline{a+b}) = \overline{a+b}$ |
| <input type="checkbox"/> | <input type="checkbox"/> | $(\overline{a+b})(\overline{c+d+e}) + (\overline{a+b}) = \overline{a+b}$ |
| <input type="checkbox"/> | <input type="checkbox"/> | $(\overline{a+b})(\overline{c+d+e}) + (\overline{a+b}) = a.b$ |
| <input type="checkbox"/> | <input type="checkbox"/> | $(\overline{a+b})(\overline{c+d+e}) + (\overline{a+b}) = \overline{a.b}$ |
| <input type="checkbox"/> | <input type="checkbox"/> | $(\overline{a+b})(\overline{c+d+e}) + (\overline{a+b}) = \overline{a.b}$ |
| <input type="checkbox"/> | <input type="checkbox"/> | $(\overline{a+b})(\overline{c+d+e}) + (\overline{a+b}) = c+d+e$ |
| <input type="checkbox"/> | <input type="checkbox"/> | $(\overline{a+b})(\overline{c+d+e}) + (\overline{a+b}) = \overline{c+d+e}$ |
| <input type="checkbox"/> | <input type="checkbox"/> | $(\overline{a+b})(\overline{c+d+e}) + (\overline{a+b}) = \overline{a.b.c.d.e}$ |

Q5. À partir de la table de vérité ci-dessous, donnez, sans chercher à les simplifier, les expressions Booléennes de A et de B en fonction de w, x, y et z.

w	x	y	z	A	B
0	0	0	0	1	1
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	1	1	0
0	1	0	0	0	0
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	1	1
1	0	1	0	1	0
1	0	1	1	0	0
1	1	0	0	1	0
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	1	1

A =

B =

Q6. Soit $A_2 = 0xF4DE$ un nombre binaire codé en complément à deux sur 16 bits.

Q6.1 : Ecrivez, en hexadécimal, toujours en complément à deux et toujours sur 16 bits, le résultat des opérations suivantes :

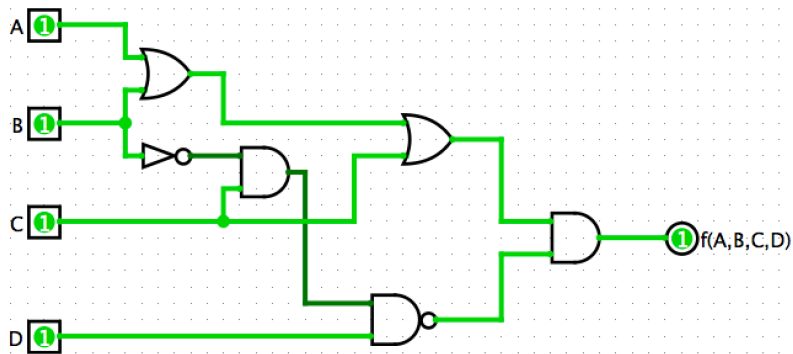
- (1) $-A_2 = 0x$
- (2) $8 \times A_2 = 0x$
- (3) $64 \times A_2 = 0x$
- (4) $A_2/8 = 0x$
- (5) $A_2/64 = 0x$

Q6.2 : Pour les cinq opérations précédentes, précisez laquelle/lesquelles est/sont arithmétiquement juste(s) et laquelle/lesquelles est/sont arithmétiquement fausse(s).

- Justes :
- Fausses :

1.2 Circuits combinatoires

Q7. Donnez l'équation logique de $f(A, B, C, D)$ correspondant au circuit ci-dessous :



$f(A, B, C, D) =$

Q8. On suppose que vous disposez d'une série de démultiplexeurs 1 vers 4 de 8 bits et de tous les fils, bus et "splitters" que vous voulez. On suppose par ailleurs que le chemin critique de ce démultiplexeur est de longueur L . On vous demande de construire un démultiplexeur 1 vers 4 de 32 bits.

Q8.1 : Énumérez les entrées et les sorties de ce nouveau circuit en précisant à chaque fois le nombre de bits de l'entrée ou de la sortie.

- Entrées :
- Sorties :

Q8.2 :

- Combien de démultiplexeurs 1 vers 4 de 8 bits sont nécessaires pour construire ce circuit ? :
- Quelle est la longueur du chemin critique du démultiplexeur 1 vers 4 de 32 bits ? :

Q8.3 : Dessinez ci-dessous le schéma de votre démultiplexeur 1 vers 4 de 32 bits.

Q9. On suppose que vous disposez d'une série de démultiplexeurs 1 vers 4 de 8 bits (la même qu'à la question précédente) et de tous les fils, bus et "splitters" que vous voulez. On suppose par ailleurs que le chemin critique de ce démultiplexeur est de longueur L . On vous demande de construire un démultiplexeur 1 vers 16 de 8 bits.

Q9.1 : Énumérez les entrées et les sorties de ce nouveau circuit en précisant à chaque fois le nombre de bits de l'entrée ou de la sortie.

— Entrées :

— Sorties :

Q9.2 :

— Combien de démultiplexeurs 1 vers 4 de 8 bits sont nécessaires pour construire ce circuit ? :

— Quelle est la longueur du chemin critique du démultiplexeur 1 vers 16 de 8 bits ? :

Q9.3 : Dessinez ci-dessous le schéma de votre démultiplexeur 1 vers 16 de 8 bits.

Q10. On veut construire un circuit combinatoire permettant de tester l'égalité de deux nombres codés sur 4 bits. Proposez un schéma de ce circuit (en n'utilisant que des portes logiques à une ou deux entrées et tous les fils que vous voulez, y compris des bus et des "splitters"). Il n'est pas demandé que votre circuit soit optimal.

Q11. On veut construire un circuit combinatoire permettant de convertir J un nombre de jours, exprimé sur 8 bits, en un nombre d'heures, exprimé sur 16 bits (autrement dit, on veut construire un multiplieur $\times 24$).

Q11.1 : dans quel(s) cas votre multiplieur provoque-t-il un dépassement de capacité ?

Q11.2 : En n'utilisant que des additionneurs (de la largeur que vous voulez : 1 bit, 2 bits, 4 bits, 8 bits, 16 bits, 32 bits, ...), des portes logiques à deux entrées et tous les fils que vous voulez (y compris des bus et des "splitters"), dessinez ci-dessous ce circuit. Il n'est pas demandé que le circuit soit optimal.

1.3 Circuits séquentiels et FSM

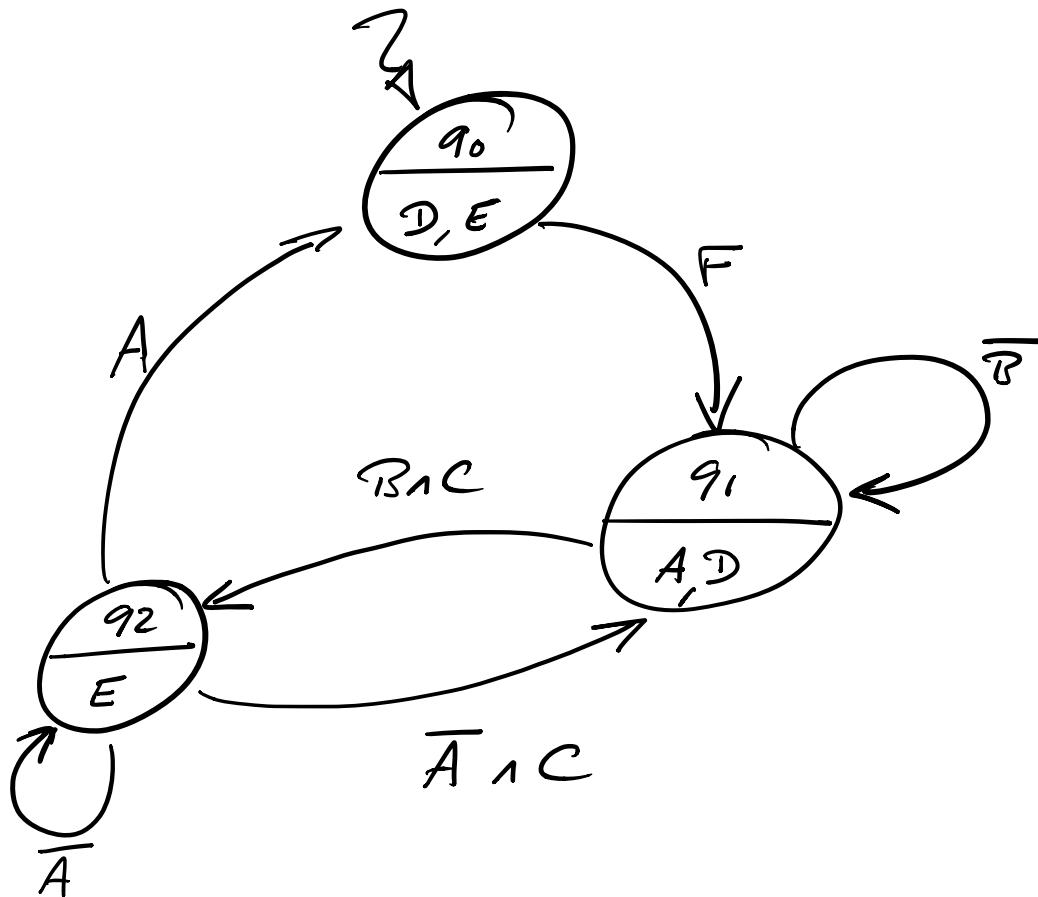
Q12. Soit une mémoire de 64 mots de 32 bits.

Q12.1 : Donnez la capacité de cette mémoire (en octets) :

Q12.2 Énumérez les entrées et les sorties de cette mémoire en précisant à chaque fois le nombre de bits de l'entrée ou de la sortie.

- Entrées :
- Sorties :

Q13. Soit la FSM présentée dans le schéma ci-dessous.

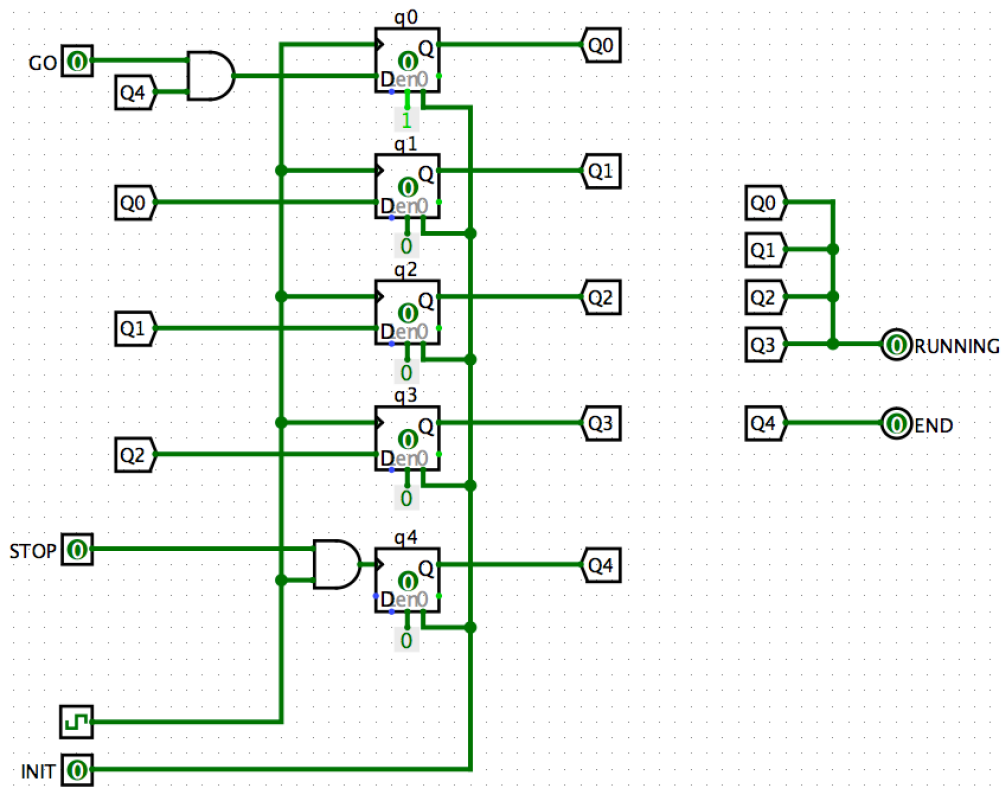


Q13.1 :

- Combien d'états a cette FSM :
- Donnez son alphabet d'entrée :
- Donnez son alphabet de sortie :

Q13.2 : Cette FSM ne peut pas être utilisée pour construire un circuit. Pourquoi ? Entourez sur le schéma les problèmes que vous détectez et, pour chacun d'entre eux, expliquez le problème en quelques mots.

Q14. En supposant que le schéma ci-dessous correspond à l'implémentation d'une FSM à 5 états en utilisant le "One-Hot-Coding". Entourez sur le schéma les erreurs que vous détectez dans le circuit. Pour chacune d'entre elles, expliquez le problème en quelques mots.



2 Conception de circuit (6 points)

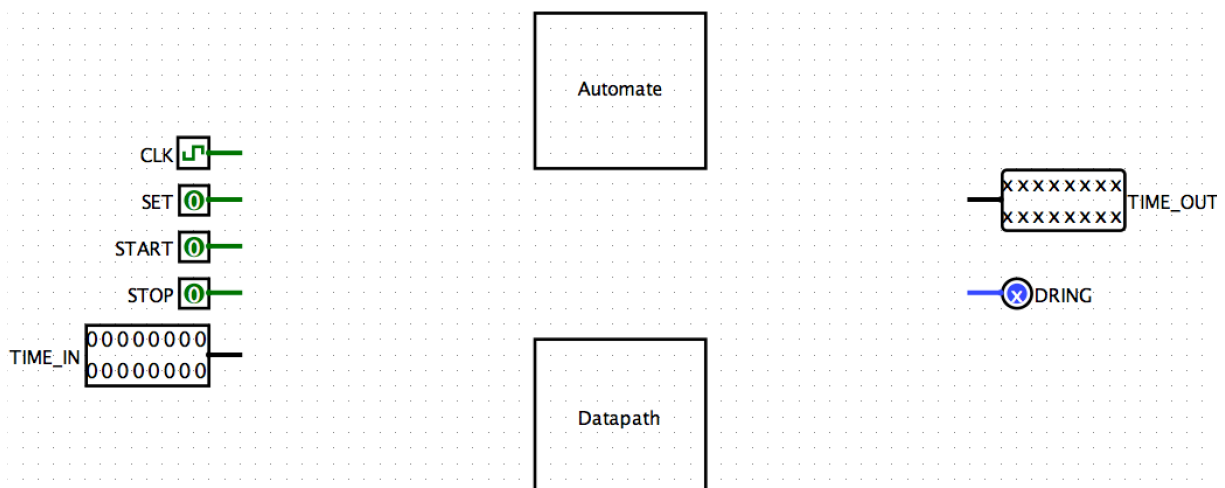
On veut construire une ASM implémentant un minuteur. Cette ASM sera commandée par trois boutons SET, START et STOP permettant respectivement d'enregistrer le temps d'attente du minuteur, de déclencher le minuteur et d'arrêter la sonnerie lorsque le temps est écoulé.

Pendant que le minuteur décompte le temps, toutes les actions sur boutons SET et START sont ignorées. En revanche, si l'utilisateur appuie sur STOP alors que le minuteur est encore en train de décompter, le décompte est annulé, le minuteur sonne une fois et s'arrête (mais le temps d'attente enregistré n'est pas modifié). Lorsque le minuteur est à l'arrêt, l'utilisateur peut, au choix, appuyer sur SET pour enregistrer un nouveau décompte ou sur START pour relancer un décompte avec le temps déjà enregistré. Pendant ce temps, toute action sur STOP est ignorée. Outre ces trois boutons, le minuteur dispose d'une entrée TIME_IN (sur 16 bits) permettant d'initialiser le temps, d'une sortie TIME_OUT permettant d'afficher le temps restant à compter et d'une sortie DRING permettant de déclencher une sonnerie en fin de décompte ou lors de l'appuie prématuré sur STOP.

Dans l'ensemble de cet exercice, on supposera que les temps TIME_IN et TIME_OUT sont exprimés en seconde et que vous disposez d'une horloge CLK cadencée à 1Hz.

Q15. Donnez le pseudocode de votre minuteur.

Q16. Sur le schéma ci-dessous, connectez les entrées et les sorties du circuit au datapath et/ou à l'automate de contrôle. Vous représenterez aussi les signaux échangés entre ces deux entités en précisant leur nom et leur fonction.



Q17. Dessinez ci-dessous le datapath de votre minuteur.

Q18. Dessinez ci-dessous la FSM contrôlant votre minuteur.

Q19. Donnez les équations Booléennes correspondant à la fonction de transition et à la fonction de sortie de votre FSM (en utilisant le mode de codage de votre choix).

Q20. Dessinez ci-dessous le circuit implémentant l'automate de contrôle de votre minuteur.

